

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-294616

(43)Date of publication of application : 10.11.1995

(51)Int.Cl.

G01R 35/00

G01D 9/00

G01R 13/20

H03M 1/12

(21)Application number : 06-112249

(71)Applicant : HIOKI EE CORP

(22)Date of filing : 27.04.1994

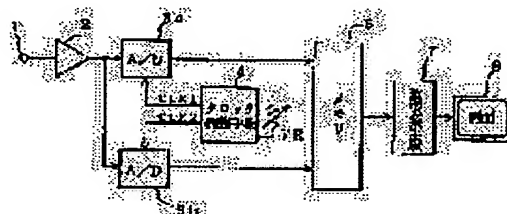
(72)Inventor : KARASAWA YASUYUKI

(54) METHOD FOR DISPLAYING WAVEFORM FOR ADJUSTMENT OF SAMPLING CLOCK

(57)Abstract:

PURPOSE: To adjust phase of a sampling clock supplied to an A/D converter by enlarging/displaying part of triangular waves on a display screen, and making a level difference of waveforms included in the enlarged/displayed waveforms readable by eye.

CONSTITUTION: In order to find phases of sampling clocks CLK1 and CLK2, signals of triangular waveforms are input from an input terminal 1. The triangular waveform signals are alternately sampled at A/D converters 3a and 3b, converted into digital waveform data, and taken into a memory 6. A waveform display means 7 reads out the waveform data converted by the converters 3a and 3b from the memory 6 and displays triangular waveforms on a display screen 8. When the sampling clocks CLK1 and CLK2 are shifted 180 in phase on the enlarged waveforms, level distances (x) ($=b2-a2$) and (y) ($=b1-a1$) of the waveform data become equal to each other. A variable resistance VR of a clock-adjusting means 4 is manipulated to make the (x) and (y) equal to each other.



LEGAL STATUS

[Date of request for examination]

01.03.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted to registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-294616

(43)公開日 平成7年(1995)11月10日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 35/00	C			
G 0 1 D 9/00	A			
G 0 1 R 13/20	M	8203-2G		
H 0 3 M 1/12	C			

審査請求 未請求 請求項の数6 F D (全 6 頁)

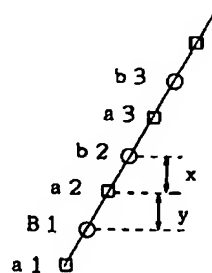
(21)出願番号	特願平6-112249	(71)出願人	000227180 日置電機株式会社 長野県上田市大字小泉字桜町81番地
(22)出願日	平成6年(1994)4月27日	(72)発明者	柄沢 康之 長野県上田市大字小泉字桜町81番地 日置 電機株式会社内
		(74)代理人	弁理士 大原 拓也

(54)【発明の名称】 サンプリングクロック調整用の波形表示方法

(57)【要約】

【目的】 同一のアナログ入力を複数のA/D変換器に分配してA/D変換させる波形記録計において、オシロスコープなどの高価な測定機器を用いることなく、そのサンプリングクロックの位相調整を可能とする。

【構成】 複数のA/D変換器を有する波形記録計において、入力信号として三角波形を入力し、表示画面に同三角波形の一部分を拡大表示するとともに、その拡大表示波形に含まれる各波形データ a, b間の少なくとも時間差もしくはレベル差のいずれかを目視にて読み取り可能とし、各サンプリングクロックの位相ずれの適否を判断し得るようにした。



1

【特許請求の範囲】

【請求項1】 複数のA/D変換器と、これらの各A/D変換器に位相の異なるサンプリングクロックを供給するクロック調整手段とを含み、同一のアナログ入力信号を上記各A/D変換器にてそれぞれデジタルの波形データに変換してメモリに取り込むとともに、同メモリからその波形データを読み出して上記入力波形を表示画面に表示する波形記録計において、上記入力信号として三角波形を入力し、上記表示画面に同三角波形の一部分を拡大表示するとともに、その拡大表示波形に含まれる各波形データ間の少なくとも時間差もしくはレベル差のいずれかを目視にて読み取り可能としたことを特徴とするサンプリングクロック調整用の波形表示方法。

【請求項2】 上記拡大表示波形に含まれる各波形データには、それが変換されたA/D変換器を識別するためのマークが付されていることを特徴とする請求項1に記載のサンプリングクロック調整用の波形表示方法。

【請求項3】 上記表示画面中の所定部位に、上記拡大表示波形に含まれる各波形データ間の少なくとも時間差もしくはレベル差のいずれかが数値にて直接的に表示されるようにしたことを特徴とする請求項1に記載のサンプリングクロック調整用の波形表示方法。

【請求項4】 複数のA/D変換器と、これらの各A/D変換器に位相の異なるサンプリングクロックを供給するクロック調整手段とを含み、同一のアナログ入力信号を上記各A/D変換器にてそれぞれデジタルの波形データに変換してメモリに取り込むとともに、同メモリからその波形データを読み出して上記入力波形を表示画面に表示する波形記録計において、上記入力信号として上記各A/D変換器のサンプリングクロックに対してわずかに周波数の異なる正弦波を入力して、上記表示画面に上記各A/D変換器の出力側に現れるビート波形を表示させるようにしたことを特徴とするサンプリングクロック調整用の波形表示方法。

【請求項5】 上記表示画面に上記ビート波形に加えて、上記入力信号をゼロとしたときの基準線を表示するようにしたことを特徴とする請求項4に記載のサンプリングクロック調整用の波形表示方法。

【請求項6】 上記ビート波形を上記表示画面に表示するにあたって、上記A/D変換器ごとにその線種を変えるようにしたことを特徴とする請求項4または5に記載のサンプリングクロック調整用の波形表示方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はサンプリングクロック調整用の波形表示方法に関し、さらに詳しく言えば、複数のA/D変換器を有する波形記録計において、その各A/D変換器に供給されるサンプリングクロックの位相を調整する際に用いられる波形表示方法に関するものである。

2

【0002】

【従来の技術】 図12には2つのA/D変換器を有する波形記録計の従来例が示されている。これによると、入力端子1から入力されるアナログ入力信号は増幅器2で増幅された後、A/D変換器3a、3bにてデジタルの波形データに変換される。

【0003】 この場合、各A/D変換器3a、3bには、クロック調整手段4から位相が互いに180度ずらされたサンプリングクロックCLK1、CLK2が供給され、これによりアナログ入力信号は、この2つのA/D変換器3a、3bにて交互にサンプリングされ、結果としてサンプリング周波数を2倍に引き上げた波形データが得られることになる。

【0004】 サンプリングクロックCLK1、CLK2の位相は、クロック調整手段4に設けられている可変抵抗VRにより調整されるが、これを行なうにあたって、従来では各A/D変換器3a、3bのクロック入力端子の近傍にチェックピン5a、5bを設け、同チェックピン5a、5bから得られるサンプリング信号をオシロスコープなどの時間差測定機器にて観測し、サンプリングクロックCLK1、CLK2の位相が180度ずれるように可変抵抗VRを操作していた。

【0005】

【発明が解決しようとする課題】 これによれば、各A/D変換器3a、3bの振幅やゼロ位置などを調整する前の段階でも位相を調整することが可能であるが、周波数が高い場合には、配線による時間的遅延の問題が生ずるため、チェックピン5a、5bをA/D変換器3a、3bのクロック入力端子に対して極力近づけて立てる必要がある。

【0006】 また、サンプリングクロックCLK1、CLK2の位相（時間差）を測定するオシロスコープなどの測定機器にしても、その周波数が高くなるほど高価なものが become 必要になる、という問題があった。

【0007】 本発明は上記従来の欠点を解決するためになされたもので、その目的は、プリント基板にチェックピンを立てたり、オシロスコープなどの測定機器を必要とすることなく、各A/D変換器に供給されるサンプリングクロックの位相を調整し得るようにしたサンプリングクロック調整用の波形表示方法を提供することにある。

【0008】

【課題を解決するための手段】 上記目的を達成するため、本発明は、複数のA/D変換器と、これらの各A/D変換器に位相の異なるサンプリングクロックを供給するクロック調整手段とを含み、同一のアナログ入力信号を上記各A/D変換器にてそれぞれデジタルの波形データに変換してメモリに取り込むとともに、同メモリからその波形データを読み出して上記入力波形を表示画面に表示する波形記録計において、上記入力信号として3

角波形を入力し、上記表示画面に同三角波形の一部分を拡大表示するとともに、その拡大表示波形に含まれる各波形データ間の少なくとも時間差もしくはレベル差のいずれかを目視にて読み取り可能としたことを特徴としている。

【0009】この場合、上記拡大表示波形に含まれる各波形データに、それが変換されたA/D変換器を識別するためのマークを付すことが好ましい。また、上記表示画面中の所定部位に、上記拡大表示波形に含まれる各波形データ間の少なくとも時間差もしくはレベル差のいずれかを数値にて直接的に表示するようにしてもよい。

【0010】一方、上記入力信号として上記各A/D変換器のサンプリングクロックに対してわずかに周波数の異なる正弦波を入力してもよい。これによれば、上記表示画面に上記各A/D変換器の出力側に現れるビート波形が表示される。

【0011】このビート波形に加えて、上記入力信号をゼロとしたときの基準線を表示するようにしもよい。なお、上記ビート波形を上記表示画面に表示するにあたって、上記A/D変換器ごとにその線種を変えることが好ましい。

【0012】

【作用】三角波形を入力する場合、表示画面にはその一部が拡大して表示される。A/D変換器が2つの場合、そのサンプリングクロックの位相が180度ずれていれば、各A/D変換器による波形データが時間的にもレベル的にも一定の間隔で交互に表れる。

【0013】これに対して、サンプリングクロックの位相が180度よりずれると、各波形データの表れかたが時間的にもレベル的にも等しくならない。したがって、その位相のずれを180度に調整するには、例えばクロック調整手段の可変抵抗を操作して、各A/D変換器による波形データが時間的にもレベル的にも一定の間隔で交互に表れるようにすればよい。

【0014】また、各A/D変換器のサンプリングクロックに対してわずかに周波数の異なる正弦波を入力すると、表示画面には各A/D変換器による2つのビート波形が表れる。この2つのビート波形の位相を見ることにより、サンプリングクロックの位相関係を知ることができ、180度よりずれている場合には、上記と同様にクロック調整手段の可変抵抗を操作すればよい。

【0015】

【実施例】以下、本発明の実施例について説明する。図1には本発明に適用される波形記録計の概略的な構成が示されている。基本的には、先に説明した図12の従来装置と同じであるが、同図にはそれに加えて各A/D変換器3a、3bにて変換された波形データを記憶するメモリ6と、同メモリ6からその波形データを読み出して表示画面8に表示する波形表示手段7とが示されている。

【0016】図2にはクロック調整手段4の具体的な回路構成の一例が示されており、また、図3には図2の各部に現れる波形図が示されている。これによると、同クロック調整手段4は、水晶発振回路41を備え、同発振回路41から出力されるパルス波は立上がり、立下がり速度の遅いバッファ回路（もしくは積分器）42にて図3（A）のような前縁および後縁がともに緩やかなパルス波に変換され、コンパレータ43の一方の入力端子に供給される。

10 【0017】同コンパレータ43の他方の入力端子には、閾値電圧を設定する可変抵抗VRが接続されており、その閾値との関係において、コンパレータ43の出力側には図3（b）のようなパルス波が現れる。同パルス波は非反転のバッファ回路44を介して一方のA/D変換器3aのサンプリングクロックCLK1とされ（図3（c）参照）、また、反転バッファ回路45を通されることにより、他方のA/D変換器3bのサンプリングクロックCLK2とされる（図3（d）参照）。

20 【0018】この実施例においては、上記可変抵抗VRを操作してその閾値電圧を可変することにより、サンプリングクロックCLK1およびCLK2の各立上りの間の位相を調整するようにしている。

【0019】サンプリングクロックCLK1、CLK2の位相を見るには、第1実施例として入力端子1から三角波形信号を入力する。この三角波形信号はA/D変換器3a、3bにて交互にサンプリングされてデジタルの波形データに変換された後、メモリ6にそれぞれ取り込まれる。ここで説明の便宜上、一方のA/D変換器3aによる波形データをa1、a2、a3…とし、他方のA/D変換器3bによる波形データをb1、b2、b3…とする。

【0020】波形表示手段7は、これらの波形データをメモリ6から読み出し、図4に示されているように、表示画面8上に三角波形を表示する。そして、オペレータからの指示により、例えば図4の丸印部分を拡大して表示する。

30 【0021】図5にはその拡大表示例が示されており、この場合、一方のA/D変換器3aによる波形データa1、a2、a3…は角ドット状に表示され、これに対して、他方のA/D変換器3bによる波形データb1、b2、b3…は丸ドット状に表示され、その波形データがどちらのA/D変換器によるものかを識別できるようにしている。

40 【0022】この拡大波形において、サンプリングクロックCLK1、CLK2の位相が180度ずれている場合には、各波形データのレベル間隔は等しくなる。すなわち、図中のx（=b2-a2）とy（=b1-a1）とがほぼ同じとなる。これに対して、サンプリングクロックCLK1、CLK2の位相が180度よりずれていると、図6に示されているように、xとyの大きさが異

なることになる。

【0023】したがって、この拡大表示画面を見ながら、 x と y の大きさがほぼ同じとなるように、クロック調整手段4の可変抵抗VRを操作すればよい。なお、上記実施例では各波形データ間のレベルの大きさを位相ずれを見ているが、各波形データ間の時間差で判断してもよいことはもちろんである。また、表示画面8の所定部位に上記の x 、 y の値を数値で直接的に表示するようにしてもよい。

【0024】ところで、表示画面8の時間軸方向の分解能を N とすると、波形の拡大前は、時間軸方向1単位(ドット)につき1つの波形データが対応して N 個の波形データが表示される。これに対して、例えば M 倍に拡大する場合には、時間軸方向 M ドットにつき1つの波形データを表示するようにする。したがって、表示画面8全体に表示される波形データは N/M 個(=整数)となる。

【0025】また、レベル(垂直)方向の分解能が A/D 変換器の分解能と同等以上である場合には、そのレベル方向に拡大する必要はないが、レベル方向の分解能が A/D 変換器の分解能に満たない場合には、レベル方向の分解能を A/D 変換器の分解能となるようにレベル方向を拡大する必要がある。その方法としては、例えば波形データの最小単位(1LSB)にレベル方向1単位を割り当てればよい。

【0026】さらに、位相調整率を $\pm L\%$ 以内にする場合には、サンプリングデータ間の変化量が $100/L$ (LSB)以上になるように三角波形を入力端子1に入力すればよい。

【0027】次に、ビート波形による波形表示についての第2実施例について説明する。一般に、 A/D 変換器は、例えばサンプリングクロックを 100MHz として、そのアナログ入力端子に 99MHz の正弦波を入力すると、等価サンプリングにより同 A/D 変換器の出力側にはその差に相当する 1MHz の正弦波が現れる。この正弦波がビート波形と呼ばれている。

【0028】位相調整をするにあたって、アナログ入力端子1にサンプリングクロックCLK1、CLK2の周波数よりわずかに低い(もしくは高い)周波数の正弦波を入力する。これにより、表示画面8には図7に示されているように、各 A/D 変換器3a、3bによるビート波形BW1、BW2が表示される。同図の場合には、各ビート波形BW1、BW2が半周期ずれているため、サンプリングクロックCLK1、CLK2の位相が 180 度ずれていると判断される。

【0029】これに対して、図8に示されているように、ビート波形BW1、BW2がずれている場合には、その交点A、Bに着目し、その交点A、Bが同じ高さ(レベル)となるように、クロック調整手段4の可変抵抗VRを操作すればよい。なお、これに関連して図9に

はビート波形BW1とBW2の振幅とゼロ位置とが異なる場合が例示されているが、このような場合にも、両波形の交点A、Bが同じ高さ(レベル)となるように調整することにより、サンプリングクロックCLK1、CLK2の位相を正確に 180 度ずらすことができる。

【0030】図10および図11には、上記第2実施例の他の実施例に相当する第3実施例の表示画面が例示されている。すなわち、同実施例においては、2つの A/D 変換器3a、3bによるビート波形BW1、BW2に加えて、アナログ入力をゼロとした場合の基準線BLを用いる。

【0031】この場合には、その基準線BLと一方のビート波形BW1の立下がりの交点A、Cおよび同基準線BLと他方のビート波形BW2の立上がりの交点Bとに着目する。これによれば、交点A、C間の時間Qと交点A、B間の時間PよりサンプリングクロックCLK1、CLK2の位相が分かる。

【0032】すなわち、図10のように $P=Q/2$ であれば、サンプリングクロックCLK1、CLK2の位相は 180 度ずれており、図11のように $P \neq Q/2$ であれば、サンプリングクロックCLK1、CLK2の位相は 180 度よりずれており、このような場合には、クロック調整手段4の可変抵抗VRを操作して、 $P=Q/2$ となるように調整すればよい。

【0033】なお、上記の各実施例では、 A/D 変換器を2つとしているが、同一アナログ入力を2つ以上の A/D 変換器に分配し、それらの各サンプリングクロックの位相をその A/D 変換器の個数分で分割した場合でも、本発明は適用可能である。また、サンプリングクロックの位相調整をクロック調整手段4の可変抵抗VRによって行なうようにしているが、本発明はこれに限定されるものではなく、例えば遅延線などによる時間調整手段も使用することができる。

【0034】

【発明の効果】以上説明したように、本発明によれば、次のような効果が奏される。すなわち、入力信号として三角波形を入力し、表示画面に同三角波形の一部分を拡大表示するとともに、その拡大表示波形に含まれる各波形データ間の少なくとも時間差もしくはレベル差のいずれかを目視にて読み取り可能とした請求項1に記載の発明によれば、三角波の発振器を用意するだけでよく、高価なオシロスコープやプリント基板にチェックピンを立てる必要がない。

【0035】拡大表示波形に含まれる各波形データに、それが変換された A/D 変換器を識別するためのマークを付すようにした請求項2に記載の発明によれば、波形データ間の時間差やレベル差の読み取りがより容易になる。

【0036】表示画面中の所定部位に、拡大表示波形に含まれる各波形データ間の少なくとも時間差もしくはレ

ベル差のいずれかを数値にて直接的に表示するようにした請求項3に記載の発明によれば、位相の調整操作をより正確に行なうことができる。

【0037】入力信号として上記各A/D変換器のサンプリングクロックに対してわずかに周波数の異なる正弦波を入力して、上記表示画面に上記各A/D変換器の出力側に現れるビート波形を表示させるようにした請求項4に記載の発明、およびそれにアナログ入力をゼロにしたときの基準線を加えるようにした請求項5に記載の発明によれば、各A/D変換器の振幅やゼロ位置の調整が正確にとられていない場合でも、各サンプリングクロックの位相調整を行なうことができる。また、ビート波形の周波数は自由に選ぶことができるため、その周期を延ばすことにより、より正確な位相調整が可能になる。さらには、クロックの周波数が高くなっても高価な測定器を必要としない。

【図面の簡単な説明】

【図1】本発明に適用される波形記録計の構成を概略的に示したブロック線図。

【図2】同波形記録計に組み込まれているクロック調整

手段の具体的な回路図。

【図3】同クロック調整手段の各部における信号波形を示した波形図。

【図4】第1実施例を説明するための説明図。

【図5】第1実施例を説明するための説明図。

【図6】第1実施例を説明するための説明図。

【図7】第2実施例を説明するための説明図。

【図8】第2実施例を説明するための説明図。

【図9】第2実施例を説明するための説明図。

【図10】第3実施例を説明するための説明図。

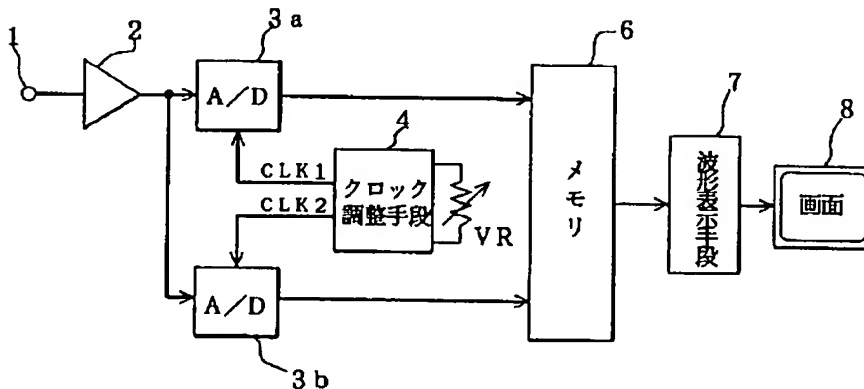
【図11】第3実施例を説明するための説明図。

【図12】従来の波形記録計を示したブロック線図。

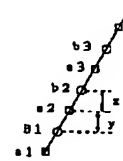
【符号の説明】

- 1 アナログ入力端子
- 2 増幅器
- 3 a, 3 b A/D変換器
- 4 クロック調整手段
- 6 メモリ
- 7 波形表示手段
- 8 表示画面

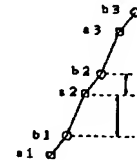
【図1】



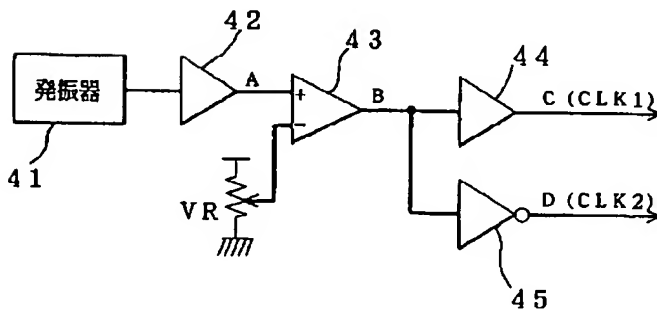
【図5】



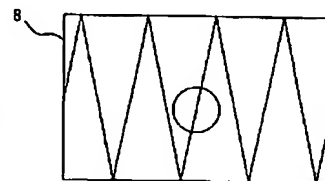
【図6】



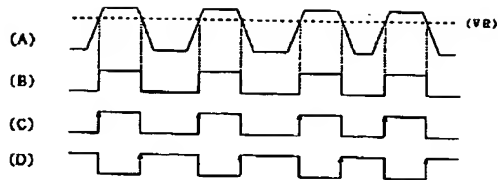
【図2】



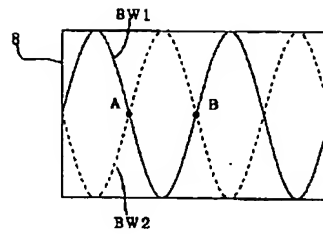
【図4】



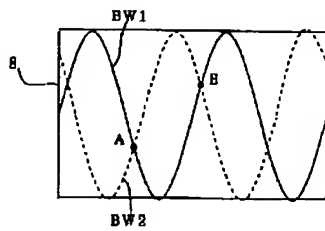
【図3】



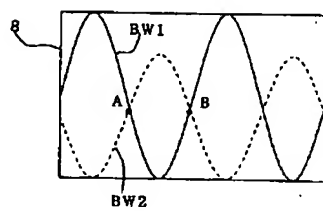
【図7】



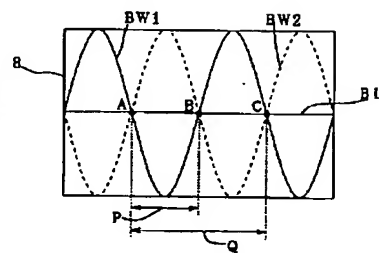
【図8】



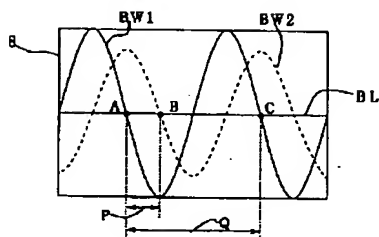
【図9】



【図10】



【図11】



【図12】

